

KOREAN PATENT ABSTRACT (KR)

PUBLICATION

(11) Publication No.: 1997-0031619 (44) Publication Date: 26 June 1997
(21) Application No.: 1995-0045873 (22) Application Date: 30 November 1995
(51) IPC Code:
H04L27/01

(71) Applicant:
Daewoo Electronics Co., Ltd.
541, Namdaemoon-ro 5-ga, Jung-gu, Seoul, Korea

(72) Inventor:
LEE, CHANG EUI

(54) Title of the Invention:
Decision Feedback Equalizer for Equalizing QAM Signal

Abstract:

A decision feedback equalizer for equalizing a QAM signal is provided, which includes a feedforward filter 150, a feedback filter 152, an subtractor 154, a complex number multiplier 156, a signal detection unit 158, a tap coefficient operating unit 160, and a digital phase locked loop 162. A transformed complex filtering algorithm is used to implement the feedforward filter and the feedback filter. Then, the number of the finite impulse response filters reduces approximately 1/4 and the size of the chip within the hardware can be reduced.

Representative Drawing : Figure 5

공개특허 97-31619 1/4

대한민국특허청 (KR)
공개특허공보 (A)

Int. Cl.⁶
H 04 L 27/01

제 2334 호

공개일자 1997. 6. 26

공개번호 97-31619

출원일자 1995. 11. 30

출원번호 95-45873

심사청구 : 있음

발명자 이창의 서울특별시 강서구 화곡5동 1003-6

출원인 대우전자 주식회사 대표이사 배순훈

서울특별시 중구 남대문로5가 541번지 (우 : 100-095)

대리인 변리사 진천웅

(전 4 면)

QAM 신호 결정 궤환 등화기(A Decision feedback equalizer for equalizing QAM signal)

요약

본 발명은 QAM 신호 결정 궤환 등화기에 관한 것으로, 본 발명의 등화기는 피드포워드 필터부(150)와; 피드백 필터부(152); 감산부(154); 복소수 곱셈부(156); 신호 판별부(158); 탭계수 연산부(160); 및 디지털 위상 동기 루프(162)로 구성되어 있으며, 본 발명에 따르면 변형된 복소 필터링 알고리즘을 사용하여 피드포워드 필터부와 피드백 필터부를 구현함으로써 유한 충격 응답 필터의 수를 1/4 정도 줄일 수 있게 되어 하드웨어 내의 칩 사이즈를 감소시킬 수 있다.

대표도면 : 제 5 도

특허청구의 범위

1. 동위상 채널과 직각 위상 채널에 대한 입력 신호와 계수 갱신된 신호를 입력받아 필터링된 신호를 출력하는 피드포워드 필터부(150)와; 동위상 채널과 직각 위상 채널에 대한 판별 신호와 계수 갱신된 신호를 입력받아 필터링된 신호를 출력하는 피드백 필터부(152); 상기 피드포워드 필터부(150)로부터의 필터링 신호와 상기 피드백 필터부(152)로부터의 필터링 신호를 감산하여 차신호를 출력하는 감산부(154); 상기 감산부(154)로부터의 동위상 채널과 직각 위상 채널에 대한 차신호를 입력받아 반송파의 주파수와 위상 오차를 보정해주는 복소수 곱셈부(156); 상기 복소수 곱셈부(156)로부터의 동위상 채널의 신호와 직각 위상 채널의 신호를 입력받아 판별 신호를 출력하는 신호 판별부(158); 상기 복소수 곱셈부(156)로부터의 출력 신호와 상기 신호 판별부(158)로부터의 판별 신호를 입력받아 탭계수를 계산한 후 그 계산된 탭계수를 상기 피드포워드 필터부(150)와 상기 피드백 필터부(152)로 출력하는 탭계수 연산부(160); 및 상기 신호 판별부(158)로부터의 판별 신호를 입력받아 위상 오차를 보정해주기 위한 신호를 출력하는 디지털 위상 동기 루프(162)로 구성된 QAM 신호 결정 회로 동화기.

2. 제1항에 있어서, 상기 피드포워드 필터부(150)는 동위상 채널과 직각 위상 채널의 입력 신호를 합산하는 제1가산기(150-1)와; 동위상 채널과 직각 위상 채널의 입력 신호를 감산하는 제1 감산기(150-2); 상기 탭계수 연산부(160)로부터의 갱신된 계수를 합산하는 제2 가산기(150-3); 입력된 동위상 채널의 신호와 상기 제2가산기(150-3)로부터 합산된 계수를 입력받아 필터링된 신호를 출력하는 제1 유한 충격 응답 필터(150-4); 상기 제1가산기(150-1)로부터의 가산 신호와 상기 탭계수 연산부(160)로부터의 갱신된 계수를 입력받아 필터링된 신호를 출력하는 제2 유한 충격 응답 필터(150-5); 상기 제1감산기(150-2)로부터의 감산 신호와 상기 탭계수 연산부(160)로부터의 갱신된 계수를 입력받아 필터링된 신호를 출력하는 제3유한 충격 응답 필터(150-6); 상기 제1 유한 충격 응답 필터(150-4)의 필터링 신호와 상기 제2 유한 충격 응답 필터(150-5)의 필터링 신호를 입력받아 감산하는 제2감산기(150-7); 및 상기 제1 유한 충격 응답 필터(150-4)의 필터링 신호와 상기 제3유한 충격 응답 필터(150-6)의 필터링 신호를 입력받아 감산하는 제3감산기(150-8)로 구성된 것을 특징으로 하는 QAM 신호 결정 회로 동화기.

3. 제1항에 있어서, 상기 피드백 필터부(152)는 상기 신호 판별부(158)로부터의 동위상 채널과 직각 위상 채널에 대한 판별 신호를 입력받아 합산하는 제1 가산기(152-1)와; 상기 신호 판별부(158)로부터의 동위상 채널과 직각 위상 채널에 대한 판별 신호를 입력받아 감산하는 제1 감산기(152-2); 상기 탭계수 연산부(160)로부터의 갱신된 계수를 합산하는 제2 가산기(152-3); 상기 신호 판별부(158)로부터의 동위상 채널에 대한 판별 신호와 상기 제2 가산기(152-3)로부터의 합산된 계수를 입력받아 필터링된 신호를 출력하는 제1 유한 충격 응답 필터(152-4); 상기 제1 가산기(152-1)로부터의 가산 신호와 상기 탭계수 연산부(160)로부터의 갱신된 계수를 입력받아 필터링된 신호를 출력하는 제2 유한 충격 응답 필터(152-5); 상기 제1 감산기(150-2)로부터의 감산 신호와 상기 탭계수 연산부(160)로부터의 갱신된 계수를 입력받아 필터링된 신호를 출력하는 제3 유한 충격 응답 필터(152-6); 상기 제1 유한 충격 응답 필터(152-4)의 필터링 신호와 상기 제2 유한 충격 응답 필터(152-5)의 필터링 신호를 입력받아 감산하는 제2 감산기(152-7); 및 상기 제1 유한 충격 응답 필터(152-4)의 필터링 신호와 상기 제3 유한 충격 응답 필터(152-6)의 필터링 신호를 입력받아 감산하는 제3 감산기(152-8)로 구성된 것을 특징으로 하는 QAM 신호 결정 회로 동화기.

4. 제1항에 있어서, 상기 피드포워드 필터부(150)와 상기 피드백 필터부(152)가

$$Z_1 = Y_1 \cdot (C_1 + C_0) - (Y_1 + Y_0) \cdot C_0$$

$$Z_0 = Y_0 \cdot (C_1 + C_0) - (Y_1 - Y_0) \cdot C_1$$

상기 표현식에 따르는 복소 필터링 알고리즘에 의거하여 구현된 것을 특징으로 하는 QAM 신호 결정 회로 동

화기.

5. 제1항에 있어서, 상기 감산부(154)는 상기 피드포워드 필터부(150)로부터의 동위상 채널의 필터링 신호와 상기 피드백 필터부(152)로부터의 동위상 채널의 필터링 신호를 감산하여 차신호를 출력하는 제1 감산기(154-1); 및 상기 피드포워드 필터부(150)로부터의 직각 위상 채널의 필터링 신호와 상기 피드백 필터부(152)로부터의 직각 위상 채널의 필터링 신호를 감산하여 차신호를 출력하는 제2 감산기(154-2)로 구성된 것을 특징으로 하는 QAM 신호 결정 궤환 등화기.

6. 제1항에 있어서, 상기 복소수 곱셈부(156)는 상기 감산부(154)으로부터의 동위상 채널에 대한 차신호와 상기 디지털 위상 동기 루프(160)로부터의 여현 신호를 곱셈하는 제1 곱셈기(156-1)와; 상기 감산부(154)으로부터의 직각 위상 채널에 대한 차신호와 상기 디지털 위상 동기 루프(160)로부터의 정현 신호를 곱셈하는 제2 곱셈기(156-2); 상기 감산부(154)으로부터의 동위상 채널에 대한 차신호와 상기 디지털 위상 동기 루프(160)로부터의 정현 신호를 곱셈하는 제3 곱셈기(156-3); 상기 감산부(154)으로부터의 직각 위상 채널에 대한 차신호와 상기 디지털 위상 동기 루프(160)로부터의 여현 신호를 곱셈하는 제4 곱셈기(156-4); 상기 제1 곱셈기(156-1)로부터의 입력 신호와 상기 제2 곱셈기(156-2)로부터의 입력 신호를 감산하는 감산기(156-5); 및 상기 제3 곱셈기(156-3)로부터의 입력 신호와 상기 제4 곱셈기(156-4)로부터의 입력 신호를 합산하는 가산기(156-6)로 구성되어 있는 것을 특징으로 하는 QAM 신호 결정 궤환 등화기.

7. 제1항에 있어서, 상기 신호 판별부(158)는 상기 복소수 곱셈부(156)로부터의 동위상 채널의 신호를 입력 받아 판별 신호를 출력하는 제1 신호 판별기(158-1); 및 상기 복소수 곱셈부(156)로부터의 직각 위상 채널의 신호를 입력받아 판별 신호를 출력하는 제2 신호 판별기(158-2)로 구성되어 있는 것을 특징으로 하는 QAM 신호 결정 궤환 등화기.

8. 제1항에 있어서, 상기 디지털 위상 동기 루프(162)는 상기 신호 판별부(158)로부터의 직각 위상 채널에 대한 판별 신호를 입력받아 위상차를 검출해내는 오차 검출부(162-1)와; 상기 검출된 위상 오차의 이득을 조절하고 누적하는 루프 필터(162-2); 및 상기 루프 필터(162-2)의 출력 신호를 입력받아 정현 신호와 여현 신호를 출력하는 정현 및 여현 신호 발생부(162-3)로 구성되어 있는 것을 특징으로 하는 QAM 신호 결정 궤환 등화기.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면의 간단한 설명

제5도는 본 발명에 따른 QAM 신호 결정 궤환 등화기의 블록도이다.

제 5 도

